
宽带可编程射频收发器

产品型号: QX9361

产品使用手册

版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	20260118			
1.1	20260521		订正部分文字错误	
1.2	20260810		TX不用时接1.3V	
1.3	20260926		修正 § 6.1 温度与寄存器相关表述	

目 录

一、产品特点	5
1.1 特性	5
1.2 推荐工作条件	5
1.3 绝对最大额定值	5
二、产品概述及应用范围	6
三、封装及引出端说明	7
3.1 外形尺寸说明	7
3.2 引出端排列	8
四、产品功能	13
4.1 产品功能框图	13
4.2 芯片工作原理	14
4.2.1 接收器	14
4.2.2 发射器	14
4.2.3 时钟输入选项	15
4.2.4 RFPLL 频率合成器	16
4.2.5 BBPLL 频率合成器	16
4.2.6 数字数据接口	16
4.2.7 DATA_CLK 信号	16
4.2.8 FB_CLK 信号	16
4.2.9 RX_FRAME和TX_FRAME 信号	17
4.2.10 使能状态机	17
4.2.11 SPI控制模式	17
4.2.12 引脚控制模式	17
4.2.13 SPI接口	18
4.2.14 辅助ADC (AUXADC)	18
4.2.15 辅助DAC (AUXDAC)	18
五、产品特性	19
5.1 电特性	19
5.2 时序特性	22
六、应用注意事项	25
6.1 产品配置差异	25
6.2 硬件设计注意事项	25

6.3 对电源的要求	26
6.4 产品防护	26
6.4.1 电装及防护措施	26
6.4.2 包装	26
6.4.3 运输、贮存及开箱检查	27

一、产品特点

1.1 特性

- 集成12位DAC和ADC的2T2R射频收发器
- 频段：70 MHz至6.0GHz
- 支持TDD和FDD
- 可调谐通道带宽：200 kHz至56 MHz
- 双通道接收器：6路差分或12路单端输入
- 出色的接收器灵敏度，噪声系数为2.5dB(800MHz，本振(L0))，3dB(2400MHz，本振(L0))
- RX支持手动增益及自动增益控制
- 双发射器：4路差分输出
- 高线性度宽带发射器
- TX EVM：≤-40 dB（800MHz）
- TX噪声：≤-157 dBm/Hz本底噪声
- TX监控器：动态范围≥66dB，精度=1dB
- 集成小数N分频频率合成器
- 最大LO步长：2.4Hz
- 多器件同步
- CMOS/LVDS数字接口

1.2 推荐工作条件

- 电源电压（VDDX）：1.3V
- IO电源电压（VDD_GPO）：3.3V
- 工作环境温度（Tc）：-55℃~125℃

1.3 绝对最大额定值

- 电源电压（VDDX至VSSX）：-0.3V~+1.4V
- 电源电压（VDD_INTERFACE至VSSX）：-0.3V~+3.0V
- 电源电压（VDD_GPO至VSSx）：-0.3V~+3.9V
- 输入电流至除电源引脚外的任何引脚：±10mA
- 最高结温（Tj）：150℃
- 贮存温度（TSTG）：-65℃~150℃

二、产品概述及应用范围

QX9361是一款面向数字相控阵、卫星通信、卫星导航、测控通信、数据链、通信电台、快速跳频等应用的高性能、高集成度双通道宽带可编程射频收发器。该芯片集成 RF 前端、灵活的混合信号基带、ADC/DAC、频率合成器和可配置数字接口，具备宽频段、可变带宽和软件定义的特点，可以大幅简化通信系统的设计流程，减小系统的体积、功耗和成本。该芯片工作频率 70MHz~6GHz，可调谐通道带宽为 200kHz 至 56MHz。

两个独立的直接变频接收通道均具有很好的噪声系数和线性度。接收通道采用正交下变频架构，每个通道具有独立的自动增益控制（AGC）、直流失调校正（DCOC）、正交校正和数字滤波功能。每通道具有两个高动态范围模数转换器（ADC），通过低噪声放大器（LNA）、混频器（MIXER）、模拟基带滤波器（AFilter）和 ADC 将正交的 I 路信号和 Q 路信号进行数字化，然后通过可配置的抽取滤波器组和系数可变的 128 阶有限脉冲响应（FIR）滤波器，产生 12 位并行输出信号。

发射通道采用直接变频架构，通过系数可变的 128 阶 FIR 滤波器、可配置插值滤波器、数模转换器（DAC）、AFilter、MIXER 和功率预放大器（PA），实现低噪声和良好的调制精度。这种发射器设计带来了很好的 TX EVM，典型值为-40dB（800MHz），为外部功率放大器的选择留出一定的设计裕量。发射（TX）功率检测模块可以用作功率检测器，从而实现更高精度的 TX 功率测量。

片上集成的小数 N 分频锁相环（PLL），包含全片上集成的压控振荡器（VCO）和可编程环路滤波器（Loop Filter）模块，可为接收和发射通道提供本振。同时，芯片还具有频分双工（FDD）所需要的良好的通道隔离。

QX9361内核可以直接用 1.3V 的稳压电源进行供电，芯片通过一个标准四线串行外设接口（SPI）和四个实时的 I/O 控制引脚进行控制，采用 10mm×10mm、144 引脚的 PBGA 封装。

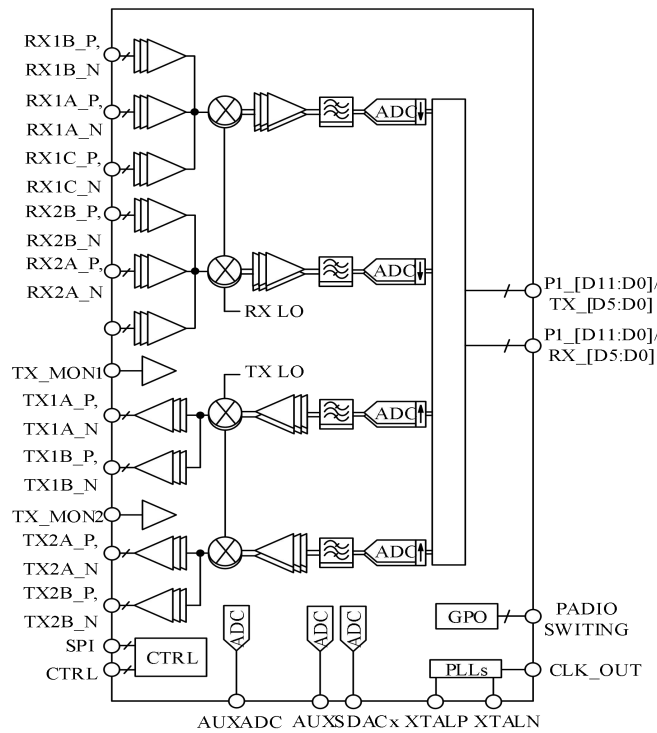


图 2.1 产品功能外形尺寸示意图

三、封装及引出端说明

3.1 外形尺寸说明

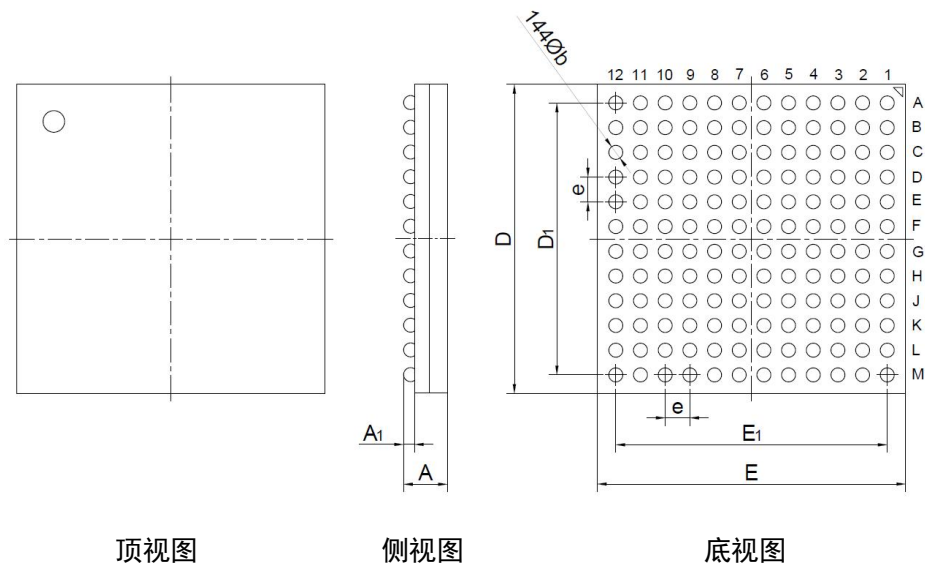


图 3.1 外形尺寸示意图

表 3-1 外形尺寸

单位:毫米

尺寸符号	数值			尺寸符号	数值		
	最小	公称	最大		最小	公称	最大
A	—	1.42	1.72	D_I	—	8.8	—
A_1	0.28	0.35	0.42	E_I	—	8.8	—
D	9.70	10.00	10.30	e	—	0.80	—
E	9.70	10.00	10.30	b	0.40	—	0.50

3.2 引出端排列

表 3-2 引出端配置 (顶视图)

	1	2	3	4	5	6	7	8	9	10	11	12
A	RX2A_N	RX2A_P	NC	VSSA	TX_MO N2	VSSA	TX2A_N	TX2A_P	TX2B_N	TX2B_P	VDDA1P 1_TX_V CO	TX_EXT _LO_N
B	VSSA	VSSA	AUX DAC1	GPO_3	GPO_2	GPO_1	GPO_0	VDD_GP O	VDDA1 P3_TX_ LO	VDDA1P 3_TX_V CO_LDO	TX_VC O_LDO OUT	VSSA
C	RX2C_P	VSSA	AUX DAC2	TEST/EN ABLE	CTRL_IN0	CTRL_IN1	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
D	RX2C_N	VDDA1P 3_RX_RF	VDDA1P 3_RX_TX	CTRL_O UT0	CTRL_IN3	CTRL_I N2	P0_D9/T X_D4_P	P0_D7/T X_D3_P	P0_D5/T X_D3_P	P0_D3/T X_D1_P	P0_D1/T X_D0_P	VSSD
E	RX2B_P	VDDA1P 3_RX_V CO_LDO	VDDA1P 3_TX_LO BUFFER	CTRL_O UT1	CTRL_O UT2	CTRL_O UT3	P0_D11/T X_D5_P	P0_D8/T X_D4_N	P0_D6/T X_D3_N	P0_D4/T X_D2_N	P0_D2/T X_D1_N	P0_D0/T X_D0_N
F	RX2B_N	VDDA1P 3_RX_V CO_LDO	VSSA	CTRL_O UT6	CTRL_O UT5	CTRL_O UT4	VSSD	P0_D10/ TX_D5_ N	VSSD	FB_CLK _P	VSSD	VDDD1P 3_DIG
G	RX_EXT _LO_IN	RX_VCO _LDO_O UT	VDDA1P 1_RX_V CO	CTRL_O UT7	EN_AGC	ENABLE	RX_FRA ME_N	RX_FRA ME_P	TX_FRA ME_P	FB_CLK _N	DATA_C LK_P	VSSD
H	RX1B_P	VSSA	VSSA	TXNRX	SYNC_IN	VSSA	VSSD	P1_D11/R X_D5_P	TX_FRA ME_N	VSSD	DATA_C LK_N	VDD_INT ERFACE
J	RX1B_N	VSSA	VDDA1P 3_RX_S YNTH	SPI_DI	SPI_CLK	CLK_OU T	P1_D10/R X_D5_N	P1_D9/R X_D4_P	P1_D7/R X_D3_P	P1_D5/R X_D2_P	P1_D3/R X_D1_P	P1_D1/R X_D0_P
K	RX1C_P	VSSA	VDDA1P 3_TX_S YNTH	VDDA1P 3_BB	RESETB	SPI_ENB	P1_D8/R X_D4_N	P1_D6/R X_D3_N	P1_D4/R X_D2_N	P1_D2/R X_D1_N	P1_D0/R X_D0_N	VSSD
L	RX1C_N	VSSA	VSSA	RBIAS	AUXADC	SPI_DO	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
M	RX1A_P	RX1A_N	NC	VSSA	TX_MO N1	VSSA	TX1A_P	TX1A_N	TX1B_P	TX1B_N	XTALP	XTALN

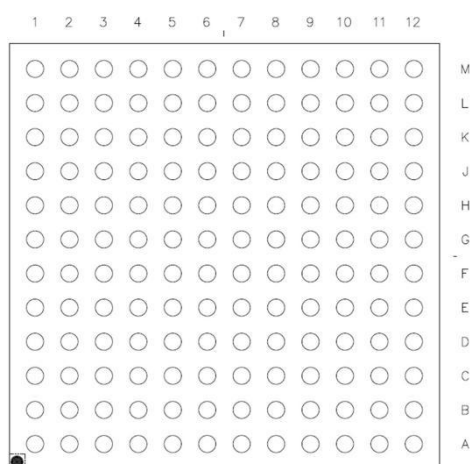


图 3.2 引出端排列（底视图）

表 3-3 引出端功能描述

引脚编号	类型	引脚名称	说明
A1, A2	I	RX2A_N, RX2A_P	接收通道2差分输入A, 每个引脚也可以作为单端输入, 未使用时接地。
A3, M3	NC	NC	悬空管脚
A4, A6, B1, B2, B12, C2, C7~C12, F3, H2, H3, H6, J2, K2, L2, L3, L7~L12, M4, M6	I	VSSA	模拟地
A5	I	TX_MON2	发射通道2功率监控输入, 未使用时接地。
A7, A8	O	TX2A_N, TX2A_P	发射通道2差分输出A, 未使用时接至1.3V。
A9, A10	O	TX2B_N, TX2B_P	发射通道2差分输出B, 未使用时接至1.3V。
A11	I	VDDA1P1_TX_VCO	TX_VCO电源输入, 连至B1。
A12	I	TX_EXT_LO_IN	外部发射LO输入, 未使用时接地。
B3	O	AUXDAC1	AUXDAC 1输出。
B4~B7	O	GPO_3~GPO_0	支持3.3V通用输出。
B8	I	VDD_GPO	AUXDAC 2.5V至3.3V电源和通用输出。未使用VDD_GPO电源时, 该电源必须设置为1.3V。
B9	I	VDDA1P3_TX_LO	TX_LO 1.3V电源输入
B10	I	VDDA1P3_TX_VCO_LD0	TX_VCO LD0 1.3V电源输入, 连至B9。
B11	O	TX_VCO_LD0_OUT	TX_VCO LD0输出。连接至A11引脚, 并通过1 Ω电阻串联1 μF旁路电容接地。
C1, D1	I	RX2C_P, RX2C_N	接收通道2差分输入C, 每个引脚也可以作为单端输入, 若未使用时接地。
C3	O	AUXDAC2	AUXDAC 2输出。
C4	I	TEST/ENABLE	测试输入, 正常工作时接地。
C5, C6, D6, D5	I	CTRL_IN0~CTRL_IN3	控制输入; 用于手动RX增益和TX衰减控制。
D2	I	VDDA1P3_RX_RF	RX 1.3V电源输入, 连接至D3。
D3	I	VDDA1P3_RX_TX	1.3V电源输入
D4, E4~E6, F4~F6, G4	O	CTRL_OUT0, CTRL_OUT1~CTRL_OUT3, CTRL_OUT6~CTRL_OUT4	控制输出, 这些引脚是多功能输出, 具有可编程功能。

		, CTRL_OUT7	
D7	I/O	P0_D9/TX_D4_P	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D9, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D4_P)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D4_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
D8	I/O	P0_D7/TX_D3_P	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D7, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D3_P)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D3_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
D9	I/O	P0_D5/TX_D2_P	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D5, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D2_P)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D2_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
D10	I/O	P0_D3/TX_D1_P	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D3, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D1_P)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D1_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
D11	I/O	P0_D1/TX_D0_P	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D1, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D0_P)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D0_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
D12, F7, F9, F11, G12, H7, H10, K12	I	VSSD	数字地
E1, F1	I	RX2B_P, RX2B_N	接收通道2差分输入B, 每个引脚也可以作为单端输入, 未使用时此引脚接地。
E2	I	VDDA1P3_RX_LO	RX_LO 1.3 V电源输入
E3	I	VDDA1P3_TX_LO_BUFFER	1.3 V电源输入
E7	I/O	P0_D11/TX_D5_P	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D11, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D5_P)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D5_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
E8	I/O	P0_D8/TX_D4_N	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D8, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D4_N)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D4_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
E9	I/O	P0_D6/TX_D3_N	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D6, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D3_N)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D3_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
E10	I/O	P0_D4/TX_D2_N	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D4, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D2_N)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D2_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
E11	I/O	P0_D2/TX_D1_N	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D2, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D1_N)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D1_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
E12	I/O	P0_D0/TX_D0_N	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D0, 它充当12位双向并行CMOS电平数据端口0的一部分。或者, 在FDD模式下该引脚(TX_D0_N)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分; 在TDD模式下, 该引脚(TX_D0_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。

F2	I	VDDA1P3_RX_VCO_LDO	RX_VCO LDO 1.3 V电源输入，接至E2。
F8	I/O	P0_D10/TX_D5_N	数字数据端口P0/发射差分输入总线。这是双功能引脚。对于P0_D10，它充当12位双向并行CMOS电平数据端口0的一部分。或者，在FDD模式下该引脚(TX_D5_N)也可作为LVDS 6位TX差分输入总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(TX_D5_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
F10, G10	I	FB_CLK_P, FB_CLK_N	反馈时钟。这些引脚接收作为TX数据时钟的FB_CLK信号。在CMOS模式中，以FB_CLK_P为输入，将FB_CLK_N接地。
F12	I	VDD1P3_DIG	1.3 V数字电源输入
G1	I	RX_EXT_LO_IN	外部接收LO输入，未使用时此引脚接地。
G2	O	RX_VCO_LDO_OUT	RX_VCO LDO 输出。连接至G3引脚，并通过1 Ω 电阻串联1 μ F旁路电容接地。
G3	I	VDDA1P1_RX_VCO	RX_VCO LDO电源输入，接至G2。
G5	I	EN_AGC	用于自动增益控制(AGC)的手动控制输入。
G6	I	ENABLE	控制输入。该引脚使器件在各种运行状态之间切换。
G7, G8	O	RX_FRAME_N, RX_FRAME_P	接收数字数据帧输出信号。这些引脚发射RX_FRAME信号，用于指示RX输出数据是否有效。在CMOS模式下，以RX_FRAME_P为输出，使RX_FRAME_N保持断开状态。
G9, H9	I	TX_FRAME_P, TX_FRAME_N	发射数字数据帧输入信号。这些引脚接收用于指示TX数据何时有效的TX_FRAME信号。在CMOS模式中，以TX_FRAME_P为输入，将TX_FRAME_N接地。
G11, H11	O	DATA_CLK_P, DATA_CLK_N	接收数据时钟输出。这些引脚发射DATA_CLK信号，BBP用这些信号为RX数据提供时钟。在CMOS模式下，以DATA_CLK_P为输出，使DATA_CLK_N保持断开状态。
H1, J1	I	RX1B_P, RX1B_N	接收通道1差分输入B，每个引脚也可以作为单端输入，未使用时此引脚接地。
H4	I	TXNRX	使能状态机控制信号。该引脚控制数据端口总线方向。逻辑低电平选择RX方向，逻辑高电平选择TX方向。
H5	I	SYNC_IN	用于同步多个4470器件之间数字时钟的输入，若未使用此引脚，则将其接地。
H8	I/O	P1_D11/RX_D5_P	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D11，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D5_P)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D5_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
H12	I	VDD_INTERFACE	数字I/O引脚，1.2 V至2.5 V电源
J3	I	VDDA1P3_RX_SYNTH	1.3V电源输入
J4	I	SPI_DI	SPI串行数据输入
J5	I	SPI_CLK	SPI时钟输入
J6	O	CLK_OUT	输出时钟。可将该引脚配置为输出缓冲版外部输入时钟DCX0，或者输出内部ADC_CLK分频。
J7	I/O	P1_D10/RX_D5_N	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D10，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D5_N)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D5_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
J8	I/O	P1_D9/RX_D4_P	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D9，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D4_P)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D4_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
J9	I/O	P1_D7/RX_D3_P	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D7，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D3_P)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D3_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
J10	I/O	P1_D5/RX_D2_P	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D5，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D2_P)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D2_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
J11	I/O	P1_D3/RX_D1_P	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D3，它充当12位双

			向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D1_P)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D1_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
J12	I/O	P1_D1/RX_D0_P	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D1，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D0_P)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D0_P)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
K1, L1	I	RX1C_P, RX1C_N	接收通道1差分输入C，每个引脚也可以作为单端输入；若未使用此引脚，请接地。
K3	I	VDDA1P3_TX_SYNTH	1.3 V电源输入
K4	I	VDDA1P3_BB	1.3 V电源输入
K5	I	RESETB	异步复位，逻辑低电平复位器件。
K6	I	SPI_ENB	SPI使能输入。将该引脚设为逻辑低电平，以使能SPI总线。
K7	I/O	P1_D8/RX_D4_N	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D8，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D4_N)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D4_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
K8	I/O	P1_D6/RX_D3_N	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D6，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D3_N)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D3_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
K9	I/O	P1_D4/RX_D2_N	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D4，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D2_N)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D2_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
K10	I/O	P1_D2/RX_D1_N	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D2，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D1_N)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D1_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
K11	I/O	P1_D0/RX_D0_N	数字数据端口P1/接收差分输出总线。这是双功能引脚。对于P1_D0，它充当12位双向并行CMOS电平数据端口1的一部分。或者，在FDD模式下该引脚(RX_D0_N)也可作为LVDS 6位RX差分输出总线(带内部LVDS端子)的一部分；在TDD模式下，该引脚(RX_D0_N)也可作为LVDS 12位TX或者RX差分输入总线(带内部LVDS端子)的一部分。
L4	I	RBIAS	偏置输入参考。通过一个14.3 k Ω (1%容差)电阻将此引脚接地。
L5	0	AUXADC	AUXADC。若未使用此引脚时接地。
L6	0	SPI_DO	4线模式的SPI串行数据输出，3线SPI模式时为高阻。
M1, M2	I	RX1A_P, RX1A_N	接收通道1差分输入A，每个引脚也可以作为单端输入；未使用时此引脚接地。
M5	I	TX_MON1	发射通道1功率监控输入，不用时请接地。
M7, M8	0	TX1A_P, TX1A_N	发射通道1差分输出A，未使用时接至1.3V。
M9, M10	0	TX1B_P, TX1B_N	发射通道1差分输出B，未使用时接至1.3V。
M11, M12	I	XTALP, XTALN	参考频率晶体连接。使用晶体时，将其连接于这两个引脚之间。使用外部时钟源时，将其连接至XTALN，使XTALP保持悬空。

四、产品功能

4.1 产品功能框图

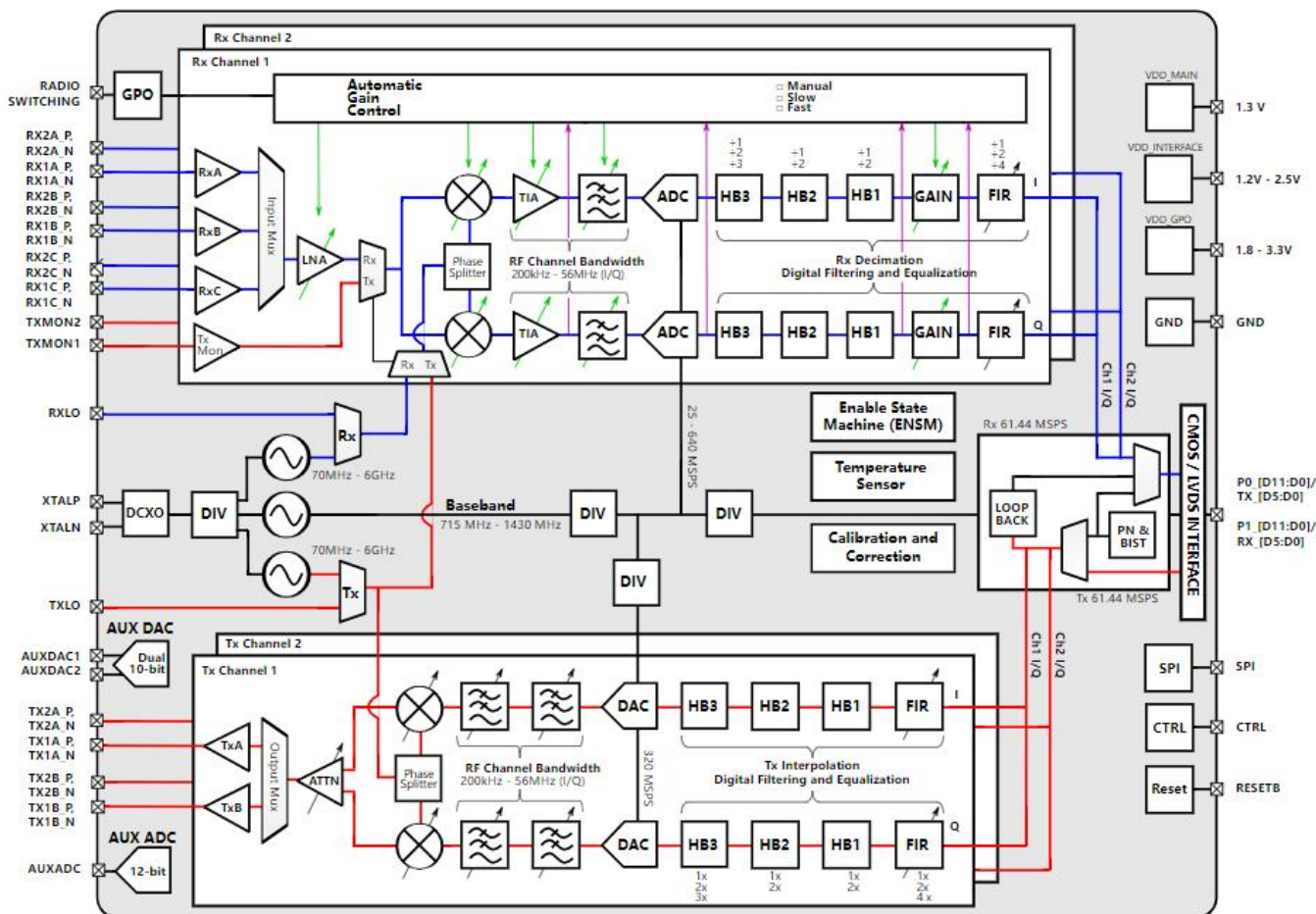


图 4.1 QX9361功能框图

QX9361是一款高集成度的可编程射频收发芯片，能够通过配置用于多种无线系统应用场景，在单个器件中集成了 RF 前端、混合信号基带和数字接口、频率合成器和数据接口电路等。可编程能力使这款宽带收发器可以适用于多种通信标准，兼容 FDD 和 TDD 两种双工方式。此外，这种可编程能力还支持芯片通过单通道 12 位并行数据端口、双通道 12 位并行数据端口或 12 位 LVDS 接口，与各种基带处理器相连接。

QX9361还提供了自动校准和增益控制（AGC）系统，可以在多种温度和输入信号条件下维持高性能水平。另外，器件还包括几种测试模式，允许系统设计师插入测试音，创建内部回环模式，以便在原型制作过程中对设计进行调试，并针对具体应用优化无线电配置。器件功能框图如图 4.1 所示。

4.2 芯片工作原理

4.2.1 接收器

接收器用于接收 RF 信号并将其转换成可供 BBP 使用的数字数据。两个独立的接收通道共用一个通用频率合成器，使器件可以用于数字相控阵、多输入、多输出（MIMO）系统。

每个接收通道都有三个输入，可以多路复用至信号链，使 QX9361 可以用于搭载多个天线输入的系统。接收器采用直接变频架构，分为 I、Q 两路，含有一个低噪声放大器（LNA），其后是 I 路与 Q 路混频器和模拟基带滤波器，该混频器可以将接收到的信号下变频为基带，以便进行数字化。外部 LNA 也可连接至该器件，这给设计师带来了极大的灵活性，使其可以针对具体的应用场景定制接收器前端。

依据预编程的增益指数映射，可以实现增益控制，该映射将增益分配于各模块之间，从而实现各电平下的性能优化。这可以通过使能内部 AGC 来实现，也可通过手动增益控制来实现，BBP 可以根据系统需要调整接收通道增益。此外，各个通道还拥有独立的 RSSI 测量功能、直流失调跟踪功能和正交校准功能。

接收器包括 12 位 Σ - Δ ADC 和可调采样速率的数字滤波器组，可以将收到的射频信号转化为数据流。数字化信号可以通过一系列抽取滤波器和一个完全可编程的 128 抽头 FIR 滤波器（带有额外的抽取设置）对数字信号进行降采样、扩位和信道滤波。各个数字滤波器模块的采样速率可以依据系统所需的抽取系数进行调整，从而产生需要的输出数据速率。

4.2.2 发射器

发射器包含两个完全相同且控制独立的通道，采用直接变频架构，拥有数字滤波器组、DAC、模拟基带和射频模块，采用一个小数 N 分频 PLL 作为本振信号。从 BBP 收到的数字数据首先通过一个带插值选项的完全可编程 128 抽头 FIR 滤波器。FIR 输出被发送到一系列插值滤波器，在到达 DAC 之前，提供额外的滤波和数据速率插值处理。每个 12 位 DAC 都拥有可调的采样速率。I 路和 Q 路输入到相同的射频模块进行上变频。

当数字信号转换为基带模拟信号后，I 路和 Q 路将分别对信号进行滤波，以移除采样镜像信号，然后输入上变频混频器。这里，I 路和 Q 路信号将重新组合起来，并在本振频率下进行调制。组合信号还会通过模拟滤波器，由它们提供额外的频带整形处理，然后再将信号传输至输出放大器。每个发射通道都提供了精细的功率衰减能力，以帮助设计师优化信噪比（SNR）。

每个发射通道内置自动校准电路，以支持自动实时调整。发射器模块同时为每个通道提

供一个 TX 功率检测器模块。该模块检测发射器的输出，并通过一个未使用的接收器通道将其送回 BBP，以实现信号功率的检测。由于要复用接收器，TX 功率检测器模块仅在接收器空闲的 TDD 模式下可用。

4.2.3 时钟输入选项

QX9361运行时使用的参考时钟由外部时钟源提供，即将一个外部参考时钟或时钟分配器件连接至 XTALN 引脚（M11 引脚保持断开状态）。使用外部参考时钟时，外部参考频率范围为 20MHz~280MHz，通过电路内部分频、倍频模式，可使鉴相频率在 10MHz 和 80MHz 之间变化。该时钟为频率合成器模块提供参考。需要注意的是，外部参考时钟的相噪要足够好，建议的外部参考时钟相位噪声特性曲线如图 4.2 所示。

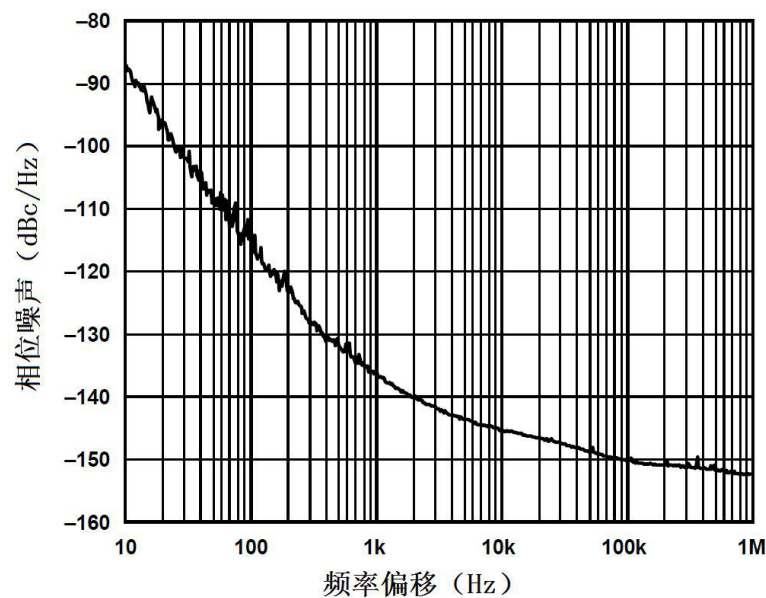


图 4.2 建议的外部振荡器的相位噪声与频率偏移对照曲线

外部参考时钟的输入幅度范围为 0.8~1.3 V_{p-p}，在 1.0~1.3 V_{p-p} 时可获得最优的相位噪声性能。需要特别注意，该芯片外部参考时钟输入的最大幅度为 1.3V_{p-p}，严禁超过该范围使用，否则会使芯片内部的电路可靠性下降甚至损坏。因此，对于超过该幅度的时钟，须设计时钟输出衰减网络。

4.2.4 RFPLL 频率合成器

QX9361 含有两个完全相同的本振频率合成器，用于为 RF 信号路径生成需要的 LO 信号：一个用于接收器，一个用于发射器。锁相环（PLL）频率合成器采用小数 N 分频设计，融入了完全集成的电压控制振荡器（VCO）和环路滤波器（Loop Filter）。在 TDD 运行模式下，频率合成器会根据 RX 和 TX 的需要开启或关闭。在 FDD 模式下，TX PLL 和 RX PLL 可以同时激活。这些 PLL 不需要外部元件。

4.2.5 BBPLL 频率合成器

QX9361 还含有一个基带 PLL 频率合成器，用于生成所有基带相关时钟信号。这些包括 ADC 和 DAC 采样时钟、DATA_CLK 信号（见“数字数据接口”部分）和所有数据帧信号。该 PLL 的编程频率范围为 700 MHz 至 1400 MHz，具体数值取决于系统的数据速率和采样速率要求。

4.2.6 数字数据接口

QX9361 数据接口采用并行数据端口（P0 和 P1）来在器件和 BBP 之间传输数据。数据端口可以配置为单端 CMOS 格式或差分 LVDS 格式。这两种格式都可以配置为多种方式，以满足数据排序和数据端口连接的系统需求。具体包括单端口数据总线、双端口数据总线、单数据速率、双数据速率和各种数据排序组合，以在适当的时间将来自不同通道的数据传过总线。

总线传输是通过简单的硬件握手信令来控制的。两个端口可以工作于 TDD 或 FDD 模式，在后一种模式下，一半位数用于发射数据、一半用于接收数据。不需要高数据速率时，接口也可配置为只使用其中一个数据端口。另外，推荐使用 LVDS 接口模式。

4.2.7 DATA_CLK 信号

RX 数据提供 DATA_CLK 信号，BBP 可以在接收数据时使用该信号。DATA_CLK 可以设为提供单数据速率（SDR）时序（其中，数据在各上升时钟沿采样）的速率，也可设为提供双数据速率（DDR）时序（其中，同时在上升沿和下降沿捕获数据）的速率。该时序适用于使用单端口或两个端口的运行模式。

4.2.8 FB_CLK 信号

对于发射数据，接口以 FB_CLK 信号作为时序参考。对于突发控制信号，FB_CLK 允许源与上升沿捕获时序同步，而对于发射信号突发，则允许与上升沿（SDR 模式）或双沿捕获（DDR 模式）时序同步。FB_CLK 信号必须具有与 DATA_CLK 相同的频率和占空比。

4.2.9 RX_FRAME 和 TX_FRAME 信号

每当接收器输出有效数据时，器件都会生成一个RX_FRAME 输出信号。该信号有两个模式：电平模式（RX_FRAME 在数据有效期间保持高电平）和脉冲模式（RX_FRAME 为 50%的占空比的脉冲信号）。类似地，BBP 必须提供一个 TX_FRAME 信号，以上升沿来指示有效数据传输的开始。与 RX_FRAME 相似，TX_FRAME 信号也分为电平模式和脉冲模式。

4.2.10 使能状态机

QX9361收发器包括一个使能状态机（ENSM），允许对器件的当前状态进行实时控制。在正常运行过程中，器件可以置于多种不同状态，包括：

- 待机：节能，频率合成器被禁用；
- 休眠：待机且所有时钟/BBPLL 被禁用；
- TX：TX 信号链被使能；
- RX：RX 信号链被使能；
- FDD：TX 和 RX 信号链均被使能；
- 唤醒：频率合成器被使能。

ENSM 有两种可能的控制方法：SPI 控制和引脚控制。

4.2.11 SPI 控制模式

在 SPI 控制模式下，通过写 SPI 寄存器，可以从当前状态进入下一状态，从而实现对 ENSM 的异步控制。SPI 控制与 DATA_CLK 异步，因为 SPI_CLK 可以来自一个完全不同的参考时钟。当不需要对频率合成器进行实时控制时，推荐采用 SPI 控制 ENSM 法。只要基带处理器/控制器能够精确执行 SPI 写操作，SPI 控制就可以用于实时控制。

4.2.12 引脚控制模式

在引脚控制模式下，ENABLE 引脚和 TXNRX 引脚的使能功能允许对当前状态进行实时控制。ENSM 支持TDD 或 FDD 运行模式，具体取决于相应 SPI 寄存器的配置。如果基带处理器/控制器有可以用于实时控制的额外控制输出，则可以通过一个简单的双线接口来控制器件状态，此时建议使用 ENABLE 和 TXNRX 引脚控制方法。为了使 ENSM 的当前状态进入下一状态，可以通过一个脉冲（边沿在内部检测）或电平来驱动 ENABLE 引脚的使能功能。

使用脉冲时，其最小脉冲宽度必须为一个 FB_CLK 周期。在电平模式下，ENABLE 和 TXNRX 引脚同样由 QX9361检测其边沿，而且必须符合相同的最小脉冲宽度要求，即一个 FB_CLK 时钟周期。

在 FDD 模式下，ENABLE 和 TXNRX 作为实时 RX 和 TX 数据传输的控制信号，引脚必须重新映射。在该模式下，ENABLE 引脚使能或禁用接收信号路径，TXNRX 引脚使能或禁用发射信号路径。在该模式下，ENSM 将从系统中移除，以便由这些引脚控制所有数据流。

4.2.13 SPI 接口

QX9361通过一个串行外设接口（SPI）与 BBP 通信。该接口可以配置为 4 线接口，带有专门的接收和发射端口；也可以配置为 3 线接口，带一个双向数据通信端口。该总线允许 BBP 通过一种简单地址数据串行总线协议，设置所有器件控制参数。

写命令遵循一种 24 位格式。前 6 位用于设置总线方向和需要传输的字节数，接下来的 10 位数据为写入地址，最后 8 位是将被传输至指定寄存器地址（MSB 至 LSB）的数据。QX9361 还支持 LSB 优先格式，允许命令以 LSB 至 MSB 格式写入。在该模式下，对于多字节写命令，寄存器地址将递增。

读命令遵循相似的格式，区别在于，前 16 位在 SPI_DI 引脚上传输，最后 8 位从 QX9361 中读取，如果是 4 线模式，则在 SPI_DO 引脚上完成，如果是 3 线模式，则在 SPI_DI 上完成。

4.2.14 辅助 ADC（AUXADC）

QX9361含有一个辅助 ADC，可以用来监控温度、功率输出等系统功能。转换器为12 位宽，输入范围为 0.05V 至 1.25 V。使能时，ADC 处于自由运行状态。SPI 读操作提供在 ADC输出端的最后一次读数。借助位于 AUXADC 之前的一个多路复用器，用户可以在 AUXADC 输入引脚与内置温度传感器之间进行选择。

4.2.15 辅助 DAC（AUXDAC）

QX9361含有两个完全相同的辅助 DAC，可以提供功率放大器（PA）偏置或其他系统功能。辅助 DAC 为 10 位宽，输出电压范围为 0.5 V 至 $V_{DD_GPO}-0.3$ V，电流驱动为 10 mA，可以通过内部使能状态机直接控制。

五、产品特性

5.1 电特性

表 5-1 电特性表

参数	除另有规定外， 工作环境温度 (T_c) = -55°C~125°C， $V_{DDX}=1.3V$ ， $V_{DD_INTERFACE}=2.5V$ ， $V_{DD_GPO}=3.3V$	最小值	最大值	单位
接收器指标				
接收器中心频率		70	6000	MHz
支持可调带宽		0.2	56	MHz
增益最小值	800M			dB
	2600M			dB
	5500M			dB
增益最大值 ^a	800M	68	75	dB
	2600M	65	72	dB
	5500M	58	65	dB
增益步进				dB
接收信号强度指示范围				dB
接收信号强度指示精度			100	dB
接收器800MHz				
噪声系数 ^a	最大RX增益	2	7	dB
三阶输入交调载点 ^a	最大RX增益	-22	-17	dBm
二阶输入交调载点 ^a	最大RX增益	36	45	dBm
接收镜像	最大增益，基带9M offset	-65	-53	dBc
接收残留直流		-65	-55	dBFS
本振(LO)泄漏 ^a		-124	-115	dBm
输入S11 ^a		-12	-7	dB
RX1A to RX2A 隔离度 ^a		65	85	dB
RX2A to RX1A 隔离度 ^a		65	85	dB
接收器2600MHz				
噪声系数 ^a	最大RX增益	2.5	8	dB
三阶输入交调载点 ^a	最大RX增益	-19	-14	dBm
二阶输入交调载点 ^a	最大RX增益	41	49	dBm
本振(LO)泄漏 ^a	RX前端输入	-118	-109	dBm
接收镜像	最大增益，基带9M offset	-65	-52	dBc
接收残留直流		-65	-55	dBFS
输入S11 ^a		-13	-7	dB

参数	除另有规定外， 工作环境温度 (T_c) = -55°C~125°C， $V_{DDX}=1.3V$ ， $V_{DD_INTERFACE}=2.5V$ ， $V_{DD_GPO}=3.3V$	最小值	最大值	单位
RX1A to RX2A 隔离度 ^a		62	80	dB
RX2A to RX1A 隔离度 ^a		62	80	dB
接收器5500MHz				
噪声系数 ^a	最大RX增益	3.5	10	dB
三阶输入交调载点 ^a	最大RX增益	-12	-7	dBm
二阶输入交调载点 ^a	最大RX增益	55	62	dBm
本振(LO)泄漏 ^a	RX前端输入	-105	-92	dBm
接收镜像	最大增益，基带9M offset	-55	-48	dBc
接收残留直流		-65	-50	dBFS
输入S11 ^a		-15	-8	dB
RX1A to RX2A 隔离度 ^a	RX1A至RX2A	50	75	dB
RX2A to RX1A 隔离度 ^a	RX2A至RX1A	50	75	dB
发射器指标				
发射器中心频率		46.875	6000	MHz
支持可调带宽		0.2	56	MHz
功率控制范围			90	dB
功率控制步进		0.25		dB
TX监控器 (TX_MON1/TX_MON2)				
最大输入电平			4	dBm
动态范围			66	dB
准确度				dB
发射器800MHz ^a				
输出S22		-15	-10	dB
最大输出功率	单音	7	8.7	dBm
调制精度(EVM)	LTE20M	-45	-40	dB
三阶输出交调载点		21	25	dBm
载波泄漏	0 dB衰减	-65	-53	dBc
载波泄漏	40 dB衰减	-40	-28	dBc
镜像抑制	基带9M offset	-65	-52	dBc
本底噪声	90MHz/偏移	-159	-154	dBm/Hz
隔离度TX1至TX2		50	80	dB

参数	除另有规定外， 工作环境温度 (T_c) = -55°C~125°C， $V_{DDX}=1.3V$ ， $V_{DD_INTERFACE}=2.5V$ ， $V_{DD_GPO}=3.3V$	最小值	最大值	单位
隔离度TX2至TX1		50	80	dB
发射器2600MHz ^a				
输出S22		-12	-7.5	dB
最大输出功率	单音	4	6.5	dBm
调制精度(EVM)	LTE20M	-42	-36	dB
三阶输出交调载点		17	21	dBm
载波泄漏	0 dB衰减	-60	-49	dBc
载波泄漏	40 dB衰减	-40	-28	dBc
镜像抑制	基带9M offset	-60	-47	dBc
本底噪声	90MHz偏移	-159	-153	dBm/Hz
隔离度TX1至TX2		50	80	dB
隔离度TX2至TX1		50	80	dB
发射器5500MHz ^a				
输出S22		-11	-7	dB
最大输出功率	单音	1.5	4	dBm
调制精度(EVM)	LTE20M	-36	-33	dB
三阶输出交调载点		13	17	dBm
载波泄漏	0 dB衰减	-60	-45	dBc
载波泄漏	40 dB衰减	-40	-25	dBc
镜像抑制	基带9M offset	-55	-45	dBc
本底噪声	90MHz偏移	-160	-155	dBm/Hz
隔离度TX1至TX2		45	80	dB
隔离度TX2至TX1		45	80	dB
频综指标				
晶体		20	320	MHz
外部振荡器				MHz
信号电平		0.8	1.3	V _{p-p}
本振分辨率				Hz
积分相位噪声 (100Hz~100MHz)	800MHz	0.11	0.3	°rms
	2400MHz	0.32	0.55	°rms
	5500MHz	0.45	1.1	°rms

参数	除另有规定外， 工作环境温度 (T_c) = -55°C~125°C， $V_{DDX}=1.3V$ ， $V_{DD_INTERFACE}=2.5V$ ， $V_{DD_GPO}=3.3V$	最小值	最大值	单位
功耗指标				
7dBm				mA
-27dBm				mA
7dBm				mA
-27dBm				mA
a，在测试射频输入、输出功能及相应指标前，应首先校准测试线缆在不同测试频率下的损耗，然后在不同输入频率下应按规定条件设置输入功率，补偿由测试插座和测试板引入的插入损耗。				

5.2 时序特性

除非另有说明， $V_{DDX}=1.3V$ ， $V_{DD_INTERFACE}=2.5V$ ， $V_{DD_GPO}=3.3V$ ， $T_A=25^{\circ}C$ 。

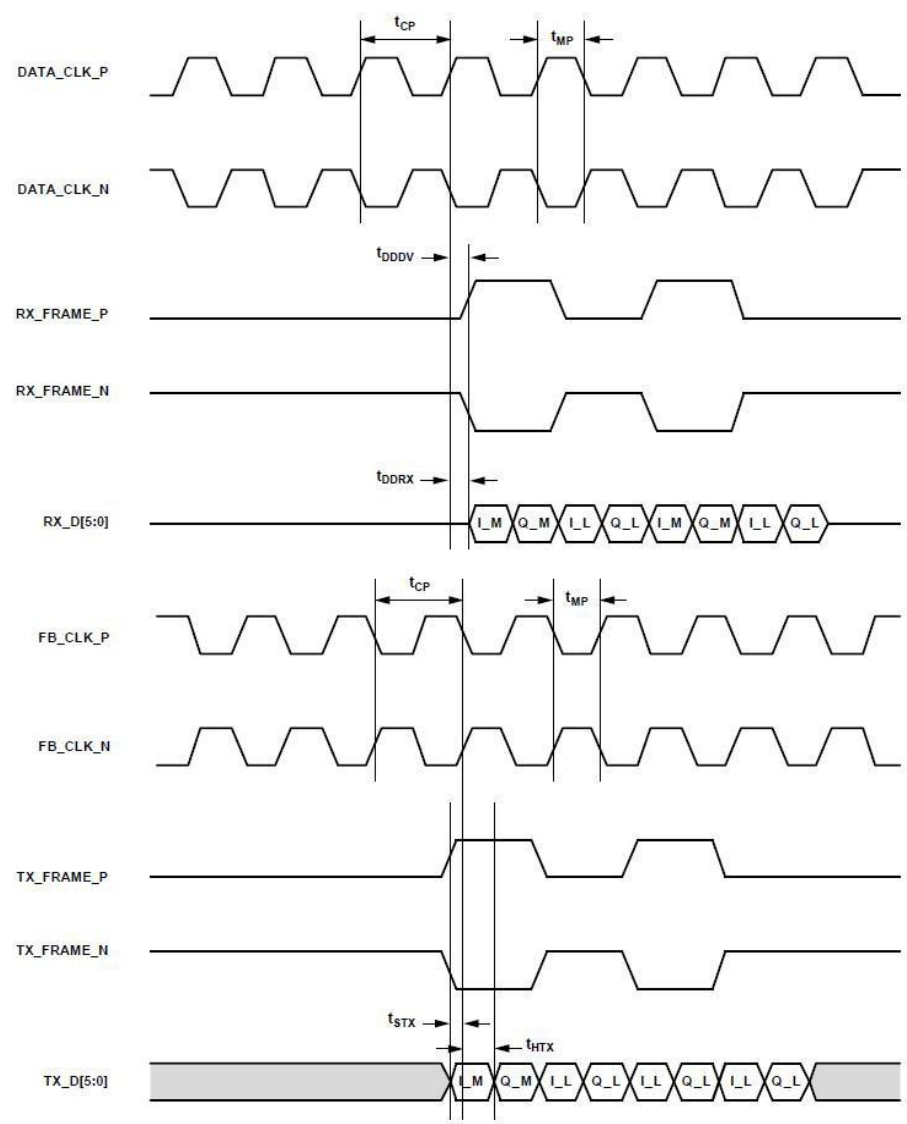


图 5.1 数据端口时序图（LVDS）

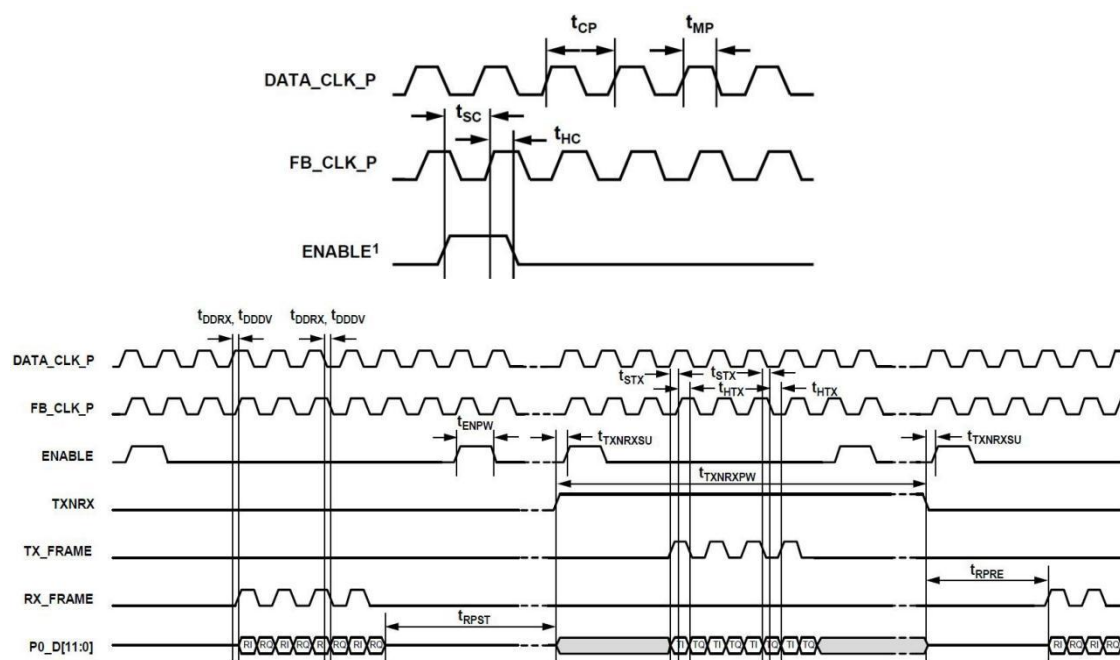


图 5.2 数据端口时序图（CMOS）

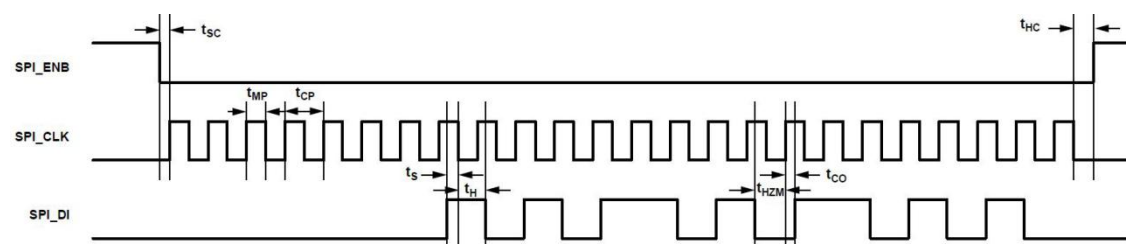


图 5.3 SPI 总线时序图

表 5-2 时序要求

参数	符号	最小值	最大值	单位	测试条件/注释
TXNRX 建立至 ENABLE	$t_{TXNRXSU}$	0	—	ns	TDD ENSM 模式
总线周转时间 RX 前	t_{RPRE}	$2 \times t_{CP}$	—	ns	TDD 模式
总线周转时间 RX 后	t_{RPST}	$2 \times t_{CP}$	—	ns	TDD 模式
数字时钟时序（CMOS）					
DATA_CLK 时钟周期	t_{CP}	16.276	—	ns	61.44MHz
DATA_CLK 和 FB_CLK 脉冲宽度	t_{MP}	t_{CP} 的 45%	t_{CP} 的 55%	ns	
TX 数据建立至 FB_CLK	t_{STX}	1	—		TX_FRAME, P0_D 和 P1_D
TX 数据保持至 FB_CLK	t_{HTX}	2	—	ns	TX_FRAME, P0_D 和 P1_D
DATA_CLK 至数据总线输出延迟	t_{DDR}	0	1.2	ns	

¹TXNRX 适用于同样的时序规则

参数	符号	最小值	最大值	单位	测试条件/注释
DATA_CLK 至 RX_FRAME 延迟	t_{DDV}	0	1.0	ns	
脉冲宽度使能	t_{ENPW}	t_{CP}	—	ns	
脉冲宽度 TXNRX	$t_{TXNRXPW}$	t_{CP}	—	ns	FDD 独立 ENSM 模式
数字数据时序 (LVDS)					
DATA_CLK 时钟周期	t_{CP}	4.069	—	ns	245.76MHz
DATA_CLK 和 FB_CLK 脉冲宽度	t_{MP}	t_{CP} 的 45%	t_{CP} 的 55%	ns	
TX 数据建立至 FB_CLK	t_{STX}	3	—	ns	TX_FRAME 和 TX_D
TX 数据保持至 FB_CLK	t_{HTX}	0	—	ns	TX_FRAME 和 TX_D
DATA_CLK 至数据总线输出延迟	t_{DDR}	0.25	1.25	ns	
DATA_CLK 至 RX_FRAME 延迟	t_{DDV}	0.25	1.25	ns	
脉冲宽度使能	t_{ENPW}	t_{CP}	—	ns	
脉冲宽度 TXNRX	$t_{TXNRXPW}$	t_{CP}	—	ns	FDD 独立 ENSM 模式
TXNRX 建立至 ENABLE	$t_{TXNRXSU}$	0	—	ns	TDD ENSM 模式
总线周转时间 RX 前	t_{RPRE}	$2 \times t_{CP}$	—	ns	
总线周转时间 RX 后	t_{RPST}	$2 \times t_{CP}$	—	ns	
SPI 时序					
SPI_CLK 周期	t_{CP}	20	—	ns	
SPI_CLK 脉冲宽度	t_{MP}	9	—	ns	
SPI_ENB建立至第一 SPI_CLK上升沿	t_{SC}	1	—	ns	
最后SPI_CLK下降沿至 SPI_ENB 保持	t_{HC}	0	—	ns	
SPI_DI 数字输入建立至 SPI_CLK	t_S	2	—	ns	
SPI_DI 数据输入保持至 SPI_CLK	t_H	1	—	ns	
SPI_CLK 上升沿至输出数据延迟 4 线模式	t_{CO}	3	8	ns	
SPI_CLK 上升沿至输出数据延迟 3 线模式	t_{CO}	3	8	ns	
总线周转时间, 读	t_{HZM}	t_H	$t_{CO(max)}$	ns	基带处理器驱动最后地址位后
总线周转时间, 读	t_{HZS}	0	$t_{CO(max)}$	ns	QX9361驱动最后数据位后

六、应用注意事项

6.1 产品配置差异

1) 工作环境温度 (T_c) 为 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 时, 可直接沿用 ADI AD9361 的驱动与 API, 软件侧无需改动。

2) 芯片内部采用数字校准算法提升发射通道的载波泄漏抑制和镜像抑制性能, 发射通道校准性能与芯片工作环境、板级设计、外围电路相关, 在某些条件下会出现发射载波泄漏和镜像信号较大的问题。例如, 在高温下进行高频 (如5GHz) 初始化配置, 小概率出现校准不收敛导致发射指标恶化。为保证发射通道校准性能, 可采取多次校准的办法, 或联系我单位技术人员获得支持。

6.2 硬件设计注意事项

1) 为保证射频性能, 射频走线应实现良好的阻抗匹配及信号质量, 射频走线不得使用过孔。应使射频巴伦尽量贴近芯片端, 保证射频传输线的单端部分路径最短, 否则会影响发射功率和接收增益。

2) 芯片的收发数据端口为CMOS/LVDS模式, 对时序匹配有严格的要求。在设计时, 应保证P0、P1数据端口、DATA_CLK、FB_CLK、RX_FRAME、TX_FRAME的传输路径严格等长, 确保收发数据正确采样。

3) 射频发射端口应采用外部馈电电感上拉至1.3V电源, 其中电感上的最大直流为75mA, 应选择寄生电阻较低的电感以保证最小电压降, 获得最优的发射功率和OIP3特性。

4) 射频发射端口未使用时, 应上拉至1.3V电源。

5) 芯片内部集成两个RF PLL作为本振, 应采用低噪声LDO供电并充分去耦, 电源噪声会直接影响相位噪声、频谱杂散等。

6) C4管脚必须接地, 以保证电路正常工作。

7) TX和RX应分开布局, 以保证收发隔离度, 严禁交叉布局。

8) 信号线参考地必须连续, 不得出现断点, 参考地平面须延伸至PCB边缘以保证SMA接口的信号完整性。

9) 如果仅使用接收或发射功能, 在FPGA引脚充足的情况下, 建议P0、P1及CLK_OUT引脚(J6)全部引出, 方便问题排查。

6.3 对电源的要求

1) 电源电压的冲击干扰会对器件的工作状态产生影响, 当电压冲击较大时, 甚至会引起芯片内部的锁相环失锁。在实际应用时, 推荐使用低噪声线性稳压器(LDO)对产品供电, 以满足电源电压的使用要求。

2) 芯片的电源包括内核电源(VDDx)、接口电路电源(VDD_INTERFACE)和GPO电源(VDD_GPO), 应具有良好的退耦, 需在尽可能靠近芯片电源引脚处放置去耦电容, 最大限度的滤除电源线上的干扰。

6.4 产品防护

6.4.1 电装及防护措施

该器件对潮湿和静电敏感, 用户在电装过程中应注意以下要求:

1) 电装前应保持原真空包装, 如真空包装被打开, 请将器件保存于相对湿度不高于10%的干燥箱中;

2) 电装前应按照 GB/T4937.201《半导体器件机械和气候试验方法第 20-1 部分:对潮湿和焊接热综合影响敏感的表面安装器件的操作、包装、标志和运输》中的要求进行烘烤;

3) 电装工作场地内温度应保持在 $23^{\circ}\text{C} \pm 5^{\circ}\text{C}$, 相对湿度应保持在 30%~70%;

4) 电装工作场地应具有良好的静电防护系统;

5) 器件应在防静电的工作台上操作;

6) 不能直接用手触摸器件引线, 应佩戴防静电指套和腕带;

7) 器件应存放在防静电材料制成的容器中;

8) 生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物;

9) 试验设备和器具应接地;

10) 如果系统应用于温度变化及振动要求较高场合, 应对电路采取加固措施, 以提高其抗机械振动及热应力的能力。

6.4.2 包装

用户包装应能保证器件在运输和操作过程中免受湿气侵扰和静电、机械损伤, 而且包装材料 and 结构不能对器件有害。用户对器件包装时应注意以下要求:

1) 包装由无腐蚀的材料制成;

-
- 2) 包装应具有足够的强度，能够经得起搬运过程中的震动和冲击；
 - 3) 包装应用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力；
 - 4) 能够牢固的把所装器件支撑在一定的位置；
 - 5) 能保持器件引线不发生变形；
 - 6) 能安全容易的移动、检查和替换器件；
 - 7) 一般不使用聚氯乙烯、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜；
 - 8) 应用防潮袋进行抽真空包装，在包装中放置干燥剂、湿敏条，湿敏等级标识，防止因吸湿导致器件失效。

6.4.3 运输、贮存及开箱检查

对电路运输过程中至少满足以下要求：

- 1) 产品在运输过程中尽量使用指定的防静电包装盒，确保电路不要与外物发生碰撞；
- 2) 不能和带有酸性、碱性和其它腐蚀性物体堆放在一起；
- 3) 电路应在干燥条件或防潮包装中进行转运。

贮存期间应根据相应标准进行防潮包装，至少满足以下要求：

- 1) 器件应密封于防潮袋中，贮存在环境温度为 $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ ，相对湿度保持在 30%~70%，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。
- 2) 客户如无上述密封条件，器件应存放于干燥箱中，干燥箱可提供较低相对湿度（不高于10%）环境，在常规操作（如开、关门）1h内，干燥箱能恢复到规定的湿度等级。
- 3) 贮存期和超期复验要求按照QJ 2227A-2005《航天元器件有效贮存期和超期复验要求》执行。

产品开箱使用时，请注意观察外壳上的产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查产品外壳及引脚，确定外壳无损坏，无伤痕，引脚整齐，无缺失，无变形。